

PAT-NO: JP405063209A
DOCUMENT-IDENTIFIER: JP 05063209 A
TITLE: MANUFACTURE OF SINGLE-CRYSTAL
SEMICONDUCTOR SUBSTRATE
FOR SEMICONDUCTOR SENSOR, AND
SEMICONDUCTOR SENSOR
PUBN-DATE: March 12, 1993

INVENTOR-INFORMATION:
NAME
UKAI, SEIICHI
SHIMADA, SATOSHI

ASSIGNEE-INFORMATION:
NAME COUNTRY
HITACHI LTD N/A

APPL-NO: JP03221749
APPL-DATE: September 2, 1991

INT-CL (IPC): H01L029/84, G01L009/04 , H01L021/306

US-CL-CURRENT: 257/419

ABSTRACT:

PURPOSE: To reduce the variation of sensor output by constituting a sensor having a hollow region from one 14-type semiconductor single-crystal substrate.

CONSTITUTION: A sensor diaphragm 2 is composed of the same maternal (N-type single crystal) as that of a substrate 1 and further has a structure where no bonding is carried out. Also, the small hole of a diaphragm 2 opened for

forming a hollow part 3 is filled and closed by a cap 4. Moreover, a piezoresistance element 5, of which the value of resistance varies by a change of stress, is provided on the surface of the diaphragm 2 corresponding to the periphery of the hollow part 3. When pressure is applied to this sensor, the diaphragm 2 changes shape and a large force acts upon the periphery because the pressure of the hollow part 3 is almost constant. In this case, because the value of resistance of the piezoresistance element 5 changes, the pressure is measured by the detection of the value. Thus, it is possible to reduce the variation of sensor output.

COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-63209

(43)公開日 平成5年(1993)3月12日

(51)Int.Cl.⁵
H 01 L 29/84
G 01 L 9/04
H 01 L 21/306

識別記号 庁内整理番号
B 8518-4M
101 9009-2F
L 7342-4M

F I

技術表示箇所

審査請求 未請求 請求項の数9(全7頁)

(21)出願番号 特願平3-221749

(22)出願日 平成3年(1991)9月2日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 鵜飼 征一

茨城県日立市久慈町4026番地 株式会社日

立製作所日立研究所内

(72)発明者 嶋田 智

茨城県日立市久慈町4026番地 株式会社日

立製作所日立研究所内

(74)代理人 弁理士 鵜沼 辰之

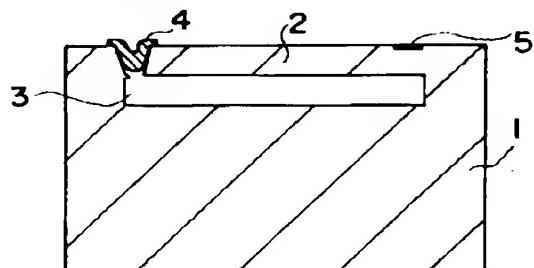
(54)【発明の名称】 半導体センサ用単結晶半導体基板の製造方法及び半導体センサ

(57)【要約】

【目的】 本発明は半導体式のセンサに関し、特にセンサ内部に空洞を持つ構造を一枚の単結晶半導体基板から形成することを目的とする。

【構成】 N型単結晶半導体基板1の内部に導伝型或は不純物濃度の異なる単結晶領域を設け、この部分を選択的にエッチングする事により空洞部3が形成される。エッティング用溝はSiN, CVD-SiO₂等からなる膜4で埋められる。

【効果】 一枚のN型層基板から構成されておりダイアフラムを固定台と接合しないため、接合後の残留応力や台とのアライメント誤差がない。したがってセンサの感度ばらつきが低減できる。



1 N型単結晶半導体基板

2 センサダイアフラム

3 空洞

4 盤

1

【特許請求の範囲】

【請求項1】 N型単結晶半導体基板にP型エピタキシャル層を積層する工程と、このエピタキシャル層の表面にドーピング用の保護膜を形成する工程と、この保護膜をほぼダイアフラム形状にバーニングし、窓開けして前記保護膜が除去された領域を形成する工程と、この上から不純物をドーピングしてN型基板層まで到達せしめ、前記領域をN型化してP型エピタキシャル層の島状部を形成する工程と、前記保護膜を除去した後、表面からN型エピタキシャル層をダイアフラムの厚さに積層する工程と、を含むことを特徴とする半導体センサ用単結晶半導体基板の製造方法。

【請求項2】 N型単結晶半導体基板の少なくとも一方の面にドーピング用の保護膜を形成し、ほぼダイアフラム形状にバーニングし、窓開けして前記保護膜が除去された領域を形成する工程と、この表面へP型不純物をドーピングしてP型領域を形成する工程と、アニールしてP型領域の接合深さをダイアフラムの厚さよりも深くする工程と、保護膜を除去した後、N型不純物をドーピングして表面をN型化する工程と、アニールして表面N型層の厚さをダイアフラム厚さと等しくする工程とを、含むことを特徴とする半導体センサ用単結晶半導体基板の製造方法。

【請求項3】 N型単結晶半導体基板の中にP型単結晶層を埋め込んだ基板の少なくとも一方の面にアルカリエッティング保護膜を形成する工程と、P型層上部の一部の領域をエッティングし、窓開けし、前記N型単結晶半導体基板を前記窓開け部より電気化学エッティングする工程と、該エッティングによる溝の最深部がP型層まで達したところで、N型層基板にエッティングトップ電位を印加し、P型層にはエッティング進行電位を印加してP型層のみを完全に除去する工程と、を含む半導体センサの製造方法。

【請求項4】 内部に中空室を有する1枚のN型単結晶半導体基板からなり、該基板の一部に薄肉センサを形成したことを特徴とする半導体センサ。

【請求項5】 請求項3において、中空室の径よりも小さい外界との貫通細孔が設けられたことを特徴とする半導体センサ。

【請求項6】 受圧ダイアフラムとこれを封止する固定台とが一枚のN型単結晶半導体基板からなることを特徴とする圧力センサ。

【請求項7】 圧力センサの固定部に設けられた圧力導入口のうち、少なくとも一方の開口部径が受圧ダイアフラムの径よりも小さな構造を有する差圧センサにおいて、ダイアフラム部と固定部が同一のN型単結晶基板からなることを特徴とする差圧センサ。

【請求項8】 対向する少なくとも2つの電極基板の間にダイアフラムを設けた構造の容量式圧力センサにおいて、電極基板とダイアフラムが同一の単結晶基板からな

2

ることを特徴とする圧力センサ。

【請求項9】 対向する少なくとも2つの電極基板の間に可動部を設けた構造の加速度センサにおいて、電極部基板と可動部が同一の単結晶半導体基板からなることを特徴とする加速度センサ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体微細加工技術、特にエッティング技術を用いた半導体センサ用単結晶半導体基板の製造方法及び半導体センサに関する。

【0002】

【從来の技術】從来の1枚の単結晶半導体基板から形成される圧力センサは特開昭63-308390号公報で述べられているように、N層基板中にP+層領域を含んでおり、サブストレートのN層、中間のP+層、表面のN層と3層で構成されていた。

【0003】

【発明が解決しようとする課題】上記從来の技術は3層構造となっているため、これを電気化学エッティングする際、3種類の電極を取らなければならず、製作が非常に複雑でプロセス工程数も多かった。また、ダイアフラムの側壁がP+層であるためエッティングストップできず、ダイアフラムの大きさがばらつくという問題があった。

【0004】

【課題を解決するための手段】上記目的を達成するため、空洞領域を有するセンサを一枚のN型半導体単結晶基板から構成し、側壁にP層領域を含まないようにしたものである。また、電気化学エッティング用の電極をN層と後でエッティング除去されるP層の2種類としたものである。

【0005】すなわち本発明は、N型単結晶半導体基板にP型エピタキシャル層を積層する工程と、このエピタキシャル層の表面にドーピング用の保護膜を形成する工程と、この保護膜をほぼダイアフラム形状にバーニングし、窓開けして前記保護膜が除去された領域を形成する工程と、この上から不純物をドーピングしてN型基板層まで到達せしめ、前記領域をN型化してP型エピタキシャル層の島状部を形成する工程と、前記保護膜を除去した後、表面からN型エピタキシャル層をダイアフラムの厚さに積層する工程と、を含むことを特徴とする半導体センサ用単結晶半導体基板の製造方法である。

【0006】また本発明は、N型単結晶半導体基板の少なくとも一方の面にドーピング用の保護膜を形成し、ほぼダイアフラム形状にバーニングし、窓開けして前記保護膜が除去された領域を形成する工程と、この表面へP型不純物をドーピングしてP型領域を形成する工程と、アニールしてP型領域の接合深さをダイアフラムの厚さよりも深くする工程と、保護膜を除去した後、N型不純物をドーピングして表面をN型化する工程と、アニールして表面N型層の厚さをダイアフラム厚さと等しく

する工程と、含むことを特徴とする半導体センサ用単結晶半導体基板の製造方法である。

【0007】また本発明は、N型単結晶半導体基板の中にP型単結晶層を埋め込んだ基板の少なくとも一方の面にアルカリエッチング保護膜を形成する工程と、P型層上部の一部の領域をエッチングし、窓開けし、前記N型単結晶半導体基板を前記窓開け部より電気化学エッチングする工程と、該エッチングによる溝の最深部がP型層まで達したところで、N型層基板にエッチングトップ電位を印加し、P型層にはエッチング進行電位を印加してP型層のみを完全に除去する工程と、を含む半導体センサの製造方法である。

【0008】また本発明は、内部に中空室を有する1枚のN型単結晶半導体基板からなり、該基板の一部に薄肉センサを形成したことを特徴とする半導体センサである。ここで、中空室の径よりも小さい外界との貫通細孔が設けられたものがよい。

【0009】また本発明は、受圧ダイアフラムとこれを封止する固定台とが一枚のN型単結晶半導体基板からなることを特徴とする圧力センサである。

【0010】また本発明は、圧力センサの固定部に設けられた圧力導入口のうち、少なくとも一方の開口部径が受圧ダイアフラムの径よりも小さな構造を有する差圧センサにおいて、ダイアフラム部と固定部が同一のN型単結晶基板からなることを特徴とする差圧センサである。

【0011】また本発明は、対向する少なくとも2つの電極基板の間にダイアフラムを設けた構造の容量式圧力センサにおいて、電極基板とダイアフラムが同一の単結晶基板からなることを特徴とする圧力センサである。

【0012】また本発明は、対向する少なくとも2つの電極基板の間に可動部を設けた構造の加速度センサにおいて、電極部基板と可動部が同一の単結晶半導体基板からなることを特徴とする加速度センサである。

【0013】

【作用】基板積層構造に対応する3次元構造を一枚のN型単結晶半導体基板から得るため、犠性層エッチングの手法を用いる。これは、半導体基板の上にエッティングレートの高い層（犠性層）を形成し、この上にさらにエッティングレートの低い層を積層して、中間部のエッティングレートの高い層のみを除去するものである。本発明は犠性層をP型単結晶とし、さらにN型単結晶半導体基板中に埋め込んだ。埋め込まれたP層領域に周囲とは異なる電位を与えることによって選択的にエッチング（電気化学エッチング）する。この方法によれば、一枚のN型単結晶半導体基板からなる空洞部付きのセンサを製作できる。

【0014】

【実施例】図1に本発明の一実施例を示す。これは、シリコン等のN型単結晶半導体基板1にエッチングなどの手段によって空洞部3を形成した絶対圧型の圧力センサ

である。センサダイアフラム2は基板と同一材質（N型単結晶）であり、さらに接着をおこなわない構造である。また、空洞部3を形成するために開けられたダイアフラム2の小さな孔はポリシリコン、CVD SiO₂などから成る蓋4によってふさがれ、閉じられている。さらに、空洞部3の周辺に相当するダイアフラム2の表面には応力変化によって抵抗値が変化するピエゾ抵抗素子5が設けられている。

- 【0015】この構造のセンサに圧力が負荷されると、10 空洞部3の圧力はほぼ一定となっているためダイアフラム2が変形し、周辺部には大きな応力が働く。このとき、ピエゾ抵抗素子5の抵抗値が変化するため、これを検出することによって圧力を測定する原理である。本実施例は、従来行なわれていたダイアフラムと封止台との接着が不要となるため、接着後の残留応力がなくなる。したがって、センサ出力のばらつきが低減でき、歩留まりの向上が図れる。さらに、隣接するチップとP層が連結していないため、オーバエッチングによる貫通の心配がない。
- 20 【0016】他の実施例を図2に示す。これは空洞3の一部が外界と通じた差圧センサの例である。本図では圧力導入口の開口部である。この実施例も第一の実施例同様、隣接するチップとP層が連結していないためオーバーエッチングによる貫通はない。さらに、ダイアフラム2と固定台が同一の基板であり、固定台との接着がないので歩留まりの向上及び製作工程の削減が図れる。また、エッティング犠性層を用いないKOH水溶液などによる異方性エッチングと比較すると、基板の内部に空洞3が作れるため、圧力導入口開口部6の直径Bをダイアフラム2の直径Aよりも小さくできる。これによりセンサチップの小型化、量産化が可能となる。

- 【0017】他の実施例を図3に示す。これは、一枚の半導体基板から形成された容量式差圧センサである。この図3（A）及び（B）の2はダイアフラム、6は圧力導入口、1-4は中心のダイアフラム2と上下の電極をアイソレートするための層である。基板1がN層の時、アイソレート層1-4はP+層などからなるものである。次に差圧検出原理について説明する。高圧側、低圧側の気体、或は流体が圧力導入口6を通じてダイアフラム2で隔てられた2つの室に入ると、薄いダイアフラムは圧力の差（差圧）に応じて撓む。したがって、2つの室の電気容量が一方は増加する方向へ、もう一方は減少する方向へ変化するので、この容量差を検出して差圧を測定する。本実施例によれば、上部電極—ダイアフラム—下部電極の3層を接着する必要がなく、一体で形成できるため、ダイアフラムの初期たわみがない。この為、特性のばらつきが非常に少ない。また製作工程も削減できる。
- 40 【0018】他の実施例を図4に示す。これは、一枚の半導体基板から形成された容量式加速度センサである。本図4（A）及び（B）の7は可動電極であり、8a、

8 bはセンサの固定電極である。また、4は空洞形成のために開けられたエッティング用孔をふさぐポリシリコン、CVD SiO₂等でできた蓋である。原理について簡単に説明する。このセンサに加速度がかかると、可動電極が上部電極8 a、あるいは下部電極8 bの方向に変位する。これにより可動電極と上部電極間の電気容量C₁、可動電極と下部電極間の電気容量C₂の容量差C₁ - C₂が変化するので、これを検出して加速度を測定するものである。これらの構造がすべて一枚の半導体基板から形成される本実施例は、従来行なわれていた上部電極 - 可動電極用基板 - 下部電極の3層接着構造と比較し、アセンブリ時のアライメント誤差や接着時の応力による初期変化が全くなく、特性のそろったチップが得られる。さらに製作工程も削減でき、コスト低減が図れる。

【0019】以上、図3、図4に示したセンサを製作する場合、問題となるのが3層の電極取り出しである。図5に電極取り出しの一例を示す。上部電極8 aでは15 aのパッドに直接に連結できる。中央の電極は半導体基板を一部エッティングし、ダイアフラムと同じ層を露出させたのちパッド15 bを形成する。下部電極の場合、予めスルーホール16を開けておき、さらにエッティングし、パッド15 cを形成して、下部電極と連結させればよい。

【0020】次に、センサ製作工程の実施例について述べる。図6 (A) ~ (D) にセンサ製作用の単結晶シリコン基板を製作する一方法を示す。まず、N型サブストレート1 a上にP型エピタキシャル層1 bを積層したシリコン基板を熱酸化し、酸化膜9を所望のダイアフラム形状にエッティングしてバーニングする (A)。この上面からリン、砒素等をイオン打込み、あるいは熱拡散して酸化膜が除去された領域1 cをN型化する (B)。さらに表面の酸化膜を除去した後、十分にアニールして先にN型化した領域1 cをサブストレートと連結させる (C)。最後に、N型のエピタキシャル層を所望のダイアフラム厚まで積層してセンサ用の単結晶シリコン基板を作成できる (D)。

【0021】図7 (A) ~ (D) にはセンサ製作用単結晶シリコン基板を製作する別方法を示す。まず、N型シリコン基板1 aを熱酸化し、所望のダイアフラム領域を得るために熱酸化膜9をエッティング除去する。この上からリン、砒素等の不純物を数百eVの高エネルギーでイオン打ち込み、または熱拡散し、P型領域1 bを形成する (A)。この基板を十分にアニールして拡散深さを深くし、表面の酸化膜を除去する (B)。さらに表面からボロン、ガリウム等を打ち込み、表面をN型化する (C)。最後に、表面N型層が所望のダイアフラム板厚となるまでをアニールして単結晶シリコン基板を作成することができる (D)。

【0022】以上のようにして作成された単結晶シリコン基板を用いてセンサを製作する方法を以下に述べる。

図8 (A) ~ (D) は絶対圧型の圧力センサの作製法を示した一実施例である。1 aはN型単結晶シリコン基板、1 bはP型単結晶領域である。また、1 cはシリコンエッティング時の保護膜となるものであり、SiO₂、SiNなどからなる。この基板をKOH、NaOH、NH₄OH、エチレンジアミン等の強アルカリ水溶液に浸し、電気化学エッティングの手法を用いてエッティングする。ここで、電気化学エッティングというのは、シリコン基板の各層に外部から相異なる電位10を与えて、それぞれのエッティングレートをコントロールする方法である。

【0023】まず、保護膜1 cをバーニングする (A)。ついで基板を先に述べたエッティング液に浸し、N層にエッティングが盛んに進行する電位を与える。エッティング溝の最深部1 1がP層領域に到達したところでN層にはエッティングが停止する電位を、P層にはエッティングが進行する電位を与える (B)。この電位状態をホールドすることによって、エッティングの進行とともにP層領域のみが空洞化していく (C)。十分空洞が形成されたところで基板を取り出し、洗浄、乾燥の後に高真空中でSiNやCVD-SiO₂等の膜付けを行ない、エッティング溝1 1の孔を埋める。さらにフォトエッティングにより余分な膜を除去して一枚の単結晶基板からなる絶対圧型の圧力センサが作製できる (D)。

【0024】図9 (A) ~ (D) の差圧センサを製作する実施例である。P型単結晶領域1 bを含むN型単結晶基板1 aのビエゾゲージとは反対の面にエッティング保護膜1 cを形成し、バーニングする (A)。この基板を先に述べたアルカリエッティング液に浸し、N型層にエッティングが進行する電位を与える。エッティング底面1 1がP型層に達したところでN型層にはエッティングが停止する電位を、P型層にはエッティングが進行する電位を与える (B)。この電位状態を保つことによって、P層領域が空洞化する (C)。完全にP型層を除去することにより差圧センサを作製できる (D)。

【0025】次に電気化学エッティングを行なう際、どのように電極を取り出すかについて図10 (A) (B) に示す。同図 (A) に示すように、基板側の電極1 8は基板に直接N+層を打ち込み、電極パッドを形成すればできる。埋め込まれたP層側の電極は、一度、表面からP層までエッティングし、P+層1 9を打ち込んだ後に電極パッド1 7を形成する。この他に、同図 (B) に示すように表面からP+層1 9を拡散して埋め込まれたP層と連結させる方法もある。2 0はN+層を示す。

【0026】以上、N型単結晶シリコン基板にP型単結晶領域を埋め込んだタイプの基板に対し、アルカリ水溶液中で電気化学エッティングを行なう製法を示したが、この他の方法でも同様のセンサ構造を形成できる。例えば、高不純物濃度の基板(N+)に低不純物濃度の単結晶領域(N層)を埋め込んだタイプの基板に対し、これに5%HF水溶液等のエッチャントを用いて電気化学工

7

8

ッチングすることにより製作する方法がある。

【0027】

【発明の効果】本発明によれば一枚のN型単結晶半導体基板からセンサが製作できるので犠牲のばらつきが低減でき、製作工程数も削減できる。また小型化が図れる。さらに、単結晶半導体基板であるため強度が高く、ヒステリシスや経時変化の小さなセンサを実現できる。

【図面の簡単な説明】

【図1】本発明の一実施例を示す絶対圧型圧力センサの断面図である。

【図2】本発明の他の実施例を示す差圧センサの断面図である。

【図3】本発明の一実施例を示す容量式差圧センサである。

【図4】本発明の他の実施例を示す加速度センサの断面図と上面図である。

【図5】電極取り出しを示す図である。

【図6】センサ用単結晶半導体基板の製法の例である。

【図7】センサ用単結晶半導体基板の別の製法の例である。

【図8】電気化学エッチングによる絶対圧型圧力センサの製法の一実施例である。

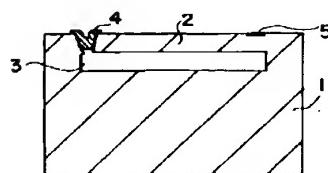
【図9】電気化学エッチングによる差圧センサの製法の一実施例である。

【図10】エッチング時の電極取り出しを示す図である。

【符号の説明】

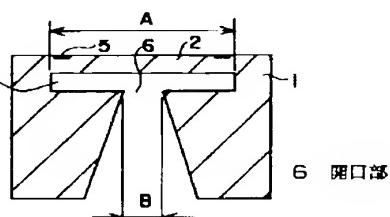
- 1 単結晶半導体基板
- 1 a 単結晶半導体基板N層
- 1 b 単結晶半導体基板P層
- 2 ダイアフラム
- 3 空洞領域
- 4 穴埋め用蓋
- 5 ピエゾ抵抗ゲージ
- 6 圧力導入口開口部
- 7 可動電極
- 8 a 上部電極
- 8 b 下部電極
- 9 不純物ドーピング用保護膜
- 10 外部電源
- 11 エッチング溝最深部
- 12 保護膜除去領域
- 13 エッチング保護膜
- 14 アイソレート層
- 15 a 上部電極バッド
- 15 b 中央電極バッド
- 15 c 下部電極バッド
- 16 スルーホール
- 17 P層電極
- 18 N層電極
- 19 P+ 層
- 20 N+ 層

【図1】

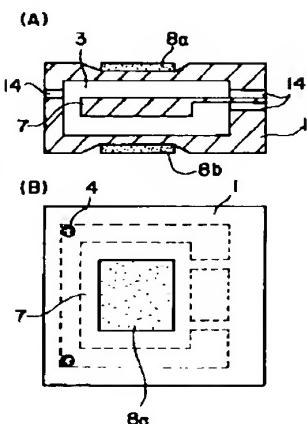


- 1 N型単結晶半導体基板
- 2 センサダイアフラム
- 3 空洞
- 4 蓋

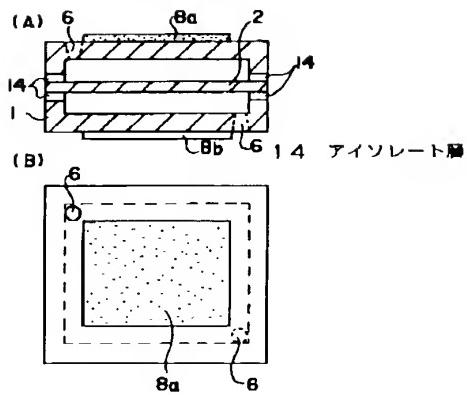
【図2】



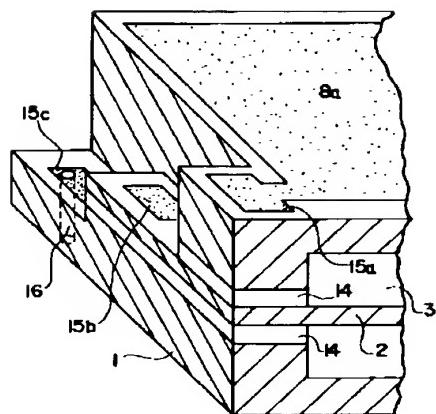
【図4】



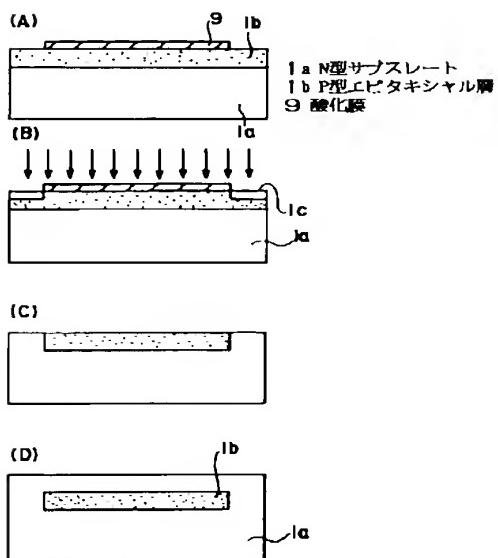
〔四三〕



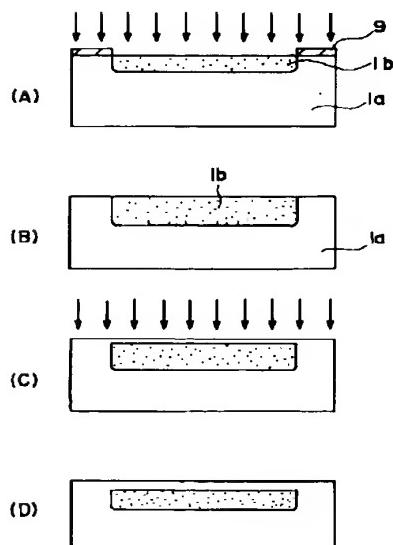
【四五】



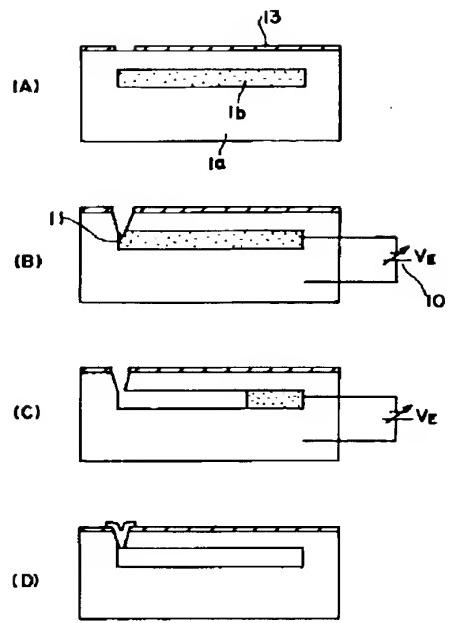
【図6】



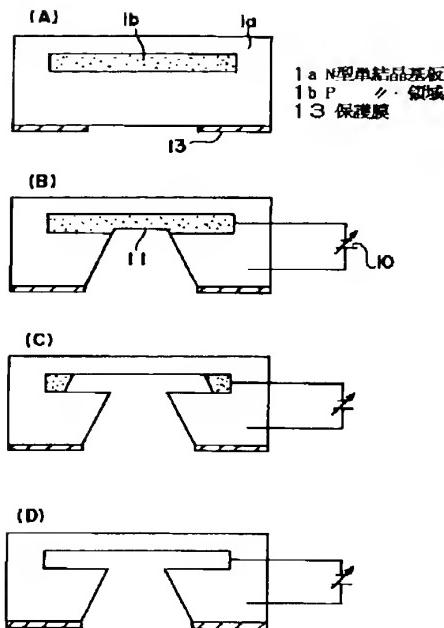
〔图7〕



【図8】



【図9】



【図10】

